

SCHEDA PROGETTO

TITOLO dell'attività di progetto

Advanced Memory Techniques for 1000-core Simulation

SOGGETTO PROPONENTE

Prof. Roberto Giorgi

OBIETTIVI/FINALITÀ: descrizione dell'attività di progetto

Attività di ricerca finalizzata a consentire la simulazione di sistemi di memoria per chip con 1000+ core

RESPONSABILE dell'attività di progetto

Prof. Roberto Giorgi

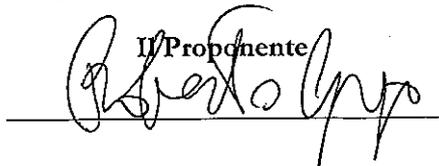
Descrizione dell'ATTIVITÀ COMPLESSIVA di progetto: (Obiettivo/Finalità)

La ricerca si svolgerà in costante coordinamento con il prof. Roberto Giorgi e sarà finalizzata alla realizzazione di un sistema di memoria innovativo per futuri chip contenenti 1000 e più core.
In una prima fase, verranno considerate le soluzioni esistenti cercando di identificare lo stato dell'arte. Successivamente verranno costruiti prototipi simulativi da integrare con il simulatore della HP (COTSon). Verranno quindi validati i dati prodotti verificando la bontà dei risultati ottenuti col nuovo sistema, identificando ad esempio i vantaggi in termini di ridotto tempo di accesso medio e maggiore banda di trasferimento dati e verranno valutati i costi in termini di potenza e costi. Infine, verrà esplorato lo spazio di progetto identificando la sensitività rispetto ai parametri architetturali e le possibili scelte implementative, nuovamente valutate in base a prestazioni, consumi e costi.

Mese	Descrizione fasi e sottofasi dell'attività di progetto	Tempi di realizzazione (n. mesi)	Obiettivi delle singole fasi
1	Studio sullo stato dell'arte dei simulatori e tecniche per sistemi di memoria con chip a 1000 core	2	Relazione finale che descriva lo stato dell'arte dei simulatori e tecniche per sistemi di memoria con chip a 1000 core
3	Implementazione di un primo prototipo simulativo nel simulatore COTSon per sistema di memoria per chip a 1000 core	5	Software dimostrativo integrato in COTSon e verifica dell'effettivo funzionamento; relazione coi risultati ottenuti
7	Valutazione e validazione dei risultati simulativi	2	Relazione sui benefici in termini di prestazioni, costi, consumi del sistema di memoria come implementato nel simulatore COTSon per chip a 1000 core
9	Esplorazione dello spazio di progetto e analisi di sensitività	3	Relazione finale riguardo alle possibili scelte implementative e ai benefici ottenuti col sistema di memoria per chip a 1000 core, come prodotti dal nuovo componente simulativo integrato in COTSon. Rilascio del software simulativo finale – funzionante in maniera integrata con COTSon

DURATA complessiva dell'attività (giorni/mesi): 12 mesi

Il Proponente



Il Responsabile del progetto

